

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-291535

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl. ⁵ H01L 27/11	識別記号	庁内整理番号 8728-4M	FI H01L 27/10	技術表示箇所 381
----------------------------------------	------	-------------------	------------------	---------------

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号 特願平4-121357

(22)出願日 平成4年(1992)4月15日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 上岡 純二

東京都港区芝五丁目7番1号 日本電気株
式会社内

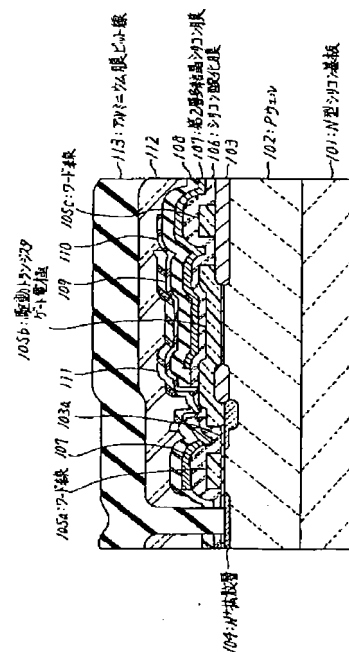
(74)代理人 弁理士 菅野 中

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 スタティックメモリセルにおいて、接地配線に用いている多結晶シリコン膜とメモリセル節点間の容量を減らすことなく、ワード線との間の容量のみを減少し、アクセス速度の遅延を防ぐ。

【構成】 ワード線105a、105c上のシリコン酸化膜106の膜厚を駆動トランジスタのゲート電極105b上の膜厚よりも厚く形成して、ワード線105a、105cと第2層多結晶シリコン膜107との間の層間容量を駆動トランジスタのゲート電極105bよりも小さくし、ワード線の遅延を少なくする。



【特許請求の範囲】

【請求項1】 第1層の多結晶シリコン膜でゲートを形成した駆動トランジスタ及びワード線と、

前記第1層の多結晶シリコン膜の上層に、層間絶縁膜を介して形成された第2層の多結晶シリコン膜からなる接地配線とを有し、

前記駆動トランジスタ及び前記ワード線は、前記接地配線と平面的に重なり合う部分を含むものであり、

前記ワード線と前記接地配線との間の層間絶縁膜の膜厚は、前記駆動トランジスタと前記接地配線との間の層間絶縁膜の膜厚よりも厚く設定されたものであることを特徴とする半導体記憶装置。

【請求項2】 前記第2層の多結晶シリコン膜からなる接地配線は、ビット線方向及びワード線方向に連続した網目状に形成されたものであることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記駆動トランジスタは、2台でフリップフロップを形成して点対称形に配置され、かつ1セルにつき、前記ワード線を2本有することを特徴とする請求項1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に関し、特に多結晶シリコン配線をメモリセルの接地配線に利用したスタティックメモリに関する。

【0002】

【従来の技術】従来、この種の半導体記憶装置を、メモリセルが一对のトランスファトランジスタと一对の駆動トランジスタと一对の負荷素子からなるMOS型SRAMを例にとり、図3、図4を参照して説明する。図3は、従来の半導体記憶装置のメモリセルを示すもので、図4のB-B'線断面図、図4は、図3に示した従来例を示す平面図である。

【0003】N型シリコン基板101表面にPウェル102が設けられ、その表面にはフィールド酸化膜103に囲まれて素子形成領域114が形成される。

【0004】素子形成領域114表面には、ゲート酸化膜103aが設けられている。フィールド酸化膜103並びにゲート酸化膜103a上には、第1層のN⁺型の多結晶シリコン膜からなるワード線105a、105c、ゲート電極105b、105dが設けられている。

【0005】素子形成領域114において、ワード線105a、105c、ゲート電極105b、105dと交差しない領域にはN⁺拡散層104が形成されている。

【0006】ワード線105aと素子形成領域114とによりトランスファトランジスタT119aが形成され、ワード線105cと素子形成領域114とによりトランスファトランジスタT119bが形成される。

【0007】ワード線105aをはさんでゲート電極105bの反対側に位置するトランスファトランジスタT

119aのN⁺拡散層には、ビット線113aとの電気的接続のためのコンタクト孔118aが設けられ、ワード線105cをはさんでゲート電極105dの反対側に位置するトランスファトランジスタT119bのN⁺拡散層には、ビット線113bとの電気的接続のためのコンタクト孔118bが設けられている。

【0008】アルミニウム膜からなるビット線113a、113bは対をなし、逆相の関係にある。ビット線113aの直下には駆動トランジスタT120aが設けられ、ビット線113b直下には駆動トランジスタT120bが設けられている。

【0009】駆動トランジスタT120a並びに駆動トランジスタT120bは、ダイレクトコンタクト孔115を介して各々フリップフロップ結合をしている。

【0010】トランスファトランジスタT119aにおけるコンタクト孔118aが設けられていない側のN⁺拡散層は、駆動トランジスタT120aのゲート電極105b及び駆動トランジスタT120bのドレイン側のN⁺拡散層と接続している。

【0011】第2層のN⁺型の多結晶シリコン膜107は、ビット線に平行な方向に所定ビット数毎に設けられたアルミニウム膜からなる接地配線（図示せず）と電気的に接続されている。

【0012】多結晶シリコン膜107はコンタクト孔116を介して駆動トランジスタT120a、T120bのソース側のN⁺拡散層と電気的に接続されている。

【0013】多結晶シリコン膜107は、接地配線からの距離により抵抗値が生じるが、この抵抗値を極力抑える目的で、ワード線方向にもビット線方向にも連続した網目状の形状に構成されている。

【0014】ビット線方向にも多結晶シリコン膜107を連続しているため、多結晶シリコン膜107とワード線105a、105cが平面的に重なり合う部分が存在している。

【0015】第1層の多結晶シリコン膜105と第2層の多結晶シリコン膜107の間には層間絶縁膜としてシリコン酸化膜106が所定の均一な膜厚をもって形成されている。

【0016】第3層のN⁺型の多結晶シリコン膜110はビット線に平行な方向に所定ビット数毎に設けられたアルミニウム膜からなる電源配線（図示せず）と電気的に接続されている。

【0017】多結晶シリコン膜110は、高抵抗の多結晶シリコン膜109と接続される。多結晶シリコン膜109は、コンタクト孔117を介して駆動トランジスタT120a、T120bのゲート電極105b、105dに電気的に接続されている。

【0018】多結晶シリコン膜109は、各々の駆動トランジスタの負荷抵抗として機能している。多結晶シリコン膜109の形成方法について説明する。

10

20

30

40

50

【0019】第3層の多結晶シリコン膜109を全面に堆積し、これをパターニングした後、多結晶シリコン膜109を形成する部分にのみこれを覆うシリコン窒化膜111を被着する。

【0020】その後、シリコン窒化膜111で覆われていない部分にのみN型不純物を導入し、多結晶シリコン膜109、110を形成する。メモリセルを構成する素子は、全て平面的な配置がその中心に対して点対称をなしている。

【0021】ワード線105a、105bと第2層の多結晶シリコン膜107間の層間容量と、駆動トランジスタT120a、T120bのゲート電極105b、105dと第2層の多結晶シリコン膜107間の層間容量は、層間シリコン酸化膜106の膜厚が一定であるので、単位面積当りの容量値は共に同じ値となっていた。

【0022】

【発明が解決しようとする課題】上述した従来の半導体記憶装置では、第1層の多結晶シリコン膜からなるワード線及び駆動トランジスタのゲート電極と、第2層の多結晶シリコン膜からなる接地配線との間の容量は、層間シリコン酸化膜の膜厚により決まり、膜厚は場所によらず一定であるため、これらの単位面積当りの容量は共に等しい。

【0023】ところで、第2層の多結晶シリコン膜は、接地配線としてその抵抗値を下げる必要があるのと同時に、駆動トランジスタのゲート電極との間の容量は、メモリセル節点容量の一部を担っており、データ保持状態において、荷電粒子の衝突などの外乱によるメモリセル情報の反転を起りにくくするように、できるだけ大きな値とすることが望ましい。

【0024】一方、ワード線については、第2層の多結晶シリコン膜との間の容量は、ワード線の信号伝達速度を遅らせ、アクセス速度の遅延要因となるため好ましくない。駆動トランジスタのゲート電極の場合とは逆に、可能な限り小さくすることが望ましい。

【0025】しかし前述したように、これら2つの単位面積当りの層間容量は別々にコントロールすることはできないため、一般にはメモリセルの安定性を優先して、層間シリコン膜は層間の耐性の許す限りは薄く形成される。

【0026】従って、従来のこの種の半導体記憶装置では、ワード線の容量が増大してしまい、高速化の妨げとなるという問題点があった。

【0027】本発明の目的は、ワード線の容量を低減し、高速化を実現した半導体記憶装置を提供することにある。

【0028】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体記憶装置は、第1層の多結晶シリコン膜でゲートを形成した駆動トランジスタ及びワー

ド線と、前記第1層の多結晶シリコン膜の上層に、層間絶縁膜を介して形成された第2層の多結晶シリコン膜からなる接地配線とを有し、前記駆動トランジスタ及び前記ワード線は、前記接地配線と平面的に重なり合う部分を含むものであり、前記ワード線と前記接地配線との間の層間絶縁膜の膜厚は、前記駆動トランジスタと前記接地配線との間の層間絶縁膜の膜厚よりも厚く設定されたものである。

【0029】また、前記第2層の多結晶シリコン膜からなる接地配線は、ビット線方向及びワード線方向に連続した網目状に形成されたものである。

【0030】また、前記駆動トランジスタは、2台でフリップフロップを形成して点対称形に配置され、かつ1セルにつき、前記ワード線を2本有するものである。

【0031】

【作用】本発明の半導体記憶装置は、第1層の多結晶シリコン膜で形成されたワード線と、同じく第1層の多結晶シリコン膜で形成された駆動トランジスタのゲート電極と、第2層の多結晶シリコン膜で形成され、平面的に見て、前記ワード線及び駆動トランジスタのゲート電極と重なり合う部分を有し、電気的には接地電位に接続された配線と、第1層の多結晶シリコン膜と第2層の多結晶シリコン膜との層間に所定の厚みをもって存在し、ワード線と第2層の多結晶シリコン膜との重なり部分での膜厚は駆動トランジスタのゲート電極上の膜厚よりも厚く形成されていることを特徴とするシリコン酸化膜とを備えている。

【0032】

【実施例】次に、本発明について図面を参照して説明する。図1は、本発明の一実施例に係る半導体記憶装置のメモリセルを示すもので、図2のA-A'線断面図、図2は、同平面図、図5～図10は、同メモリセルの製造工程を説明するための縦断面図、図11は、図10に対応する平面図である。

【0033】図において、本発明の一実施例に係る半導体記憶装置のメモリセルは、回路構成上及び平面図では従来例として説明したメモリセルと何ら変わりはない。

【0034】唯一の相違点は、前述したようにワード線上の層間シリコン酸化膜の膜厚が、駆動トランジスタのゲート電極上の膜厚よりも厚くなっている点にある。

【0035】従って、第1層の多結晶シリコン膜を形成した後の工程から、本発明のチップ製造方法について説明する。

【0036】図5において、第1層の多結晶シリコン膜をフォトリソグラフィ技術を用いて所定の形状にエッチングした後、LDD（ライトリ・ドープト・ドレイン、Lightly Doped Drain）構造を形成するための第1のN型不純物104aをソース・ドレイン領域に浅く導入する。

【0037】次に図6に示すように、全面にシリコン酸

化膜106aを被着し、その後フォトレジストを塗布し、フォトリソグラフィ技術でワード線105aの上部のみを覆うようにフォトレジスト膜121を形成する(図7)。

【0038】次に、例えばRIE(リアクティブ・イオン・エッチング, Reactive Ion Etching)などの異方性エッチングで、前記シリコン酸化膜のエッチバックを行ない、ワード線以外の第1層の多結晶シリコン膜(図中では駆動トランジスタのゲート電極105b)の周囲に、LDD構造を形成するためのサイドウォールを形成する。この際、ワード線上のシリコン酸化膜はマスクされているため、エッチングされずに残る。レジスト除去後の状態を図8に示す。

【0039】ここからは従来例と同じ製造工程となる。すなわち、N型トランジスタのソース・ドレイン領域に第2のN型不純物104を深く導入し、LDD構造のN型トランジスタが完成される。

【0040】次に第1層の多結晶シリコン膜と第2層の多結晶シリコン膜との層間絶縁膜としてのシリコン酸化膜106bを全面に被着する(図9)。

【0041】更に、コンタクト孔を開孔した後、第2層の多結晶シリコン膜を被着し、フォトリソグラフィ技術を用いて所望の形状に形成する。ここまでの製造工程での平面図を図11に示す。ワード線105a上の斜線の部分が、層間シリコン酸化膜の厚い部分を示す。

【0042】その後、第3層の多結晶シリコン膜で電源配線110及び高抵抗負荷素子109を形成し、アルミニウム膜でビット線113を形成して、この半導体記憶装置は完成する(図10)。その縦断面図を図1に示す。

【0043】第2の実施例として、負荷素子にTFT(シン・フィルム・トランジスタ, Thin Film Transistor)を用いたものでも同様の効果が得られることは言うまでもない。

【0044】

【発明の効果】以上説明したように本発明は、ワード線と第2層の多結晶シリコン膜との層間の絶縁シリコン酸化膜の膜厚を、駆動トランジスタのゲート電極と第2層の多結晶シリコン膜との層間での膜厚よりも選択的に厚く形成しているため、ワード線と接地電位の第2層多結晶シリコン膜との間の単位面積当りの容量は、駆動トランジスタのゲート電極と第2層多結晶シリコン膜との間の単位面積当りの容量に比較して小さくすることができる。

【0045】駆動トランジスタのゲート電極と第2層の多結晶シリコン膜との間の容量を増加すれば、メモリセル節点の漏れ電流を増やすことなく、節点容量のみを増加することができ、メモリセルのデータ保持電圧の下限を下げるができる。

【0046】また、これとは独立にワード線の容量は小

さくできるので、アクセス速度に悪影響を与えないですむという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示すもので、図2のA-A'線断面図である。

【図2】図1に示した実施例を示す平面図である。

【図3】従来例を示すもので、図4のB-B'線断面図である。

【図4】図3に示した従来例を示す平面図である。

【図5】本発明の一実施例の製造工程を示す縦断面図である。

【図6】本発明の一実施例の製造工程を示す縦断面図である。

【図7】本発明の一実施例の製造工程を示す縦断面図である。

【図8】本発明の一実施例の製造工程を示す縦断面図である。

【図9】本発明の一実施例の製造工程を示す縦断面図である。

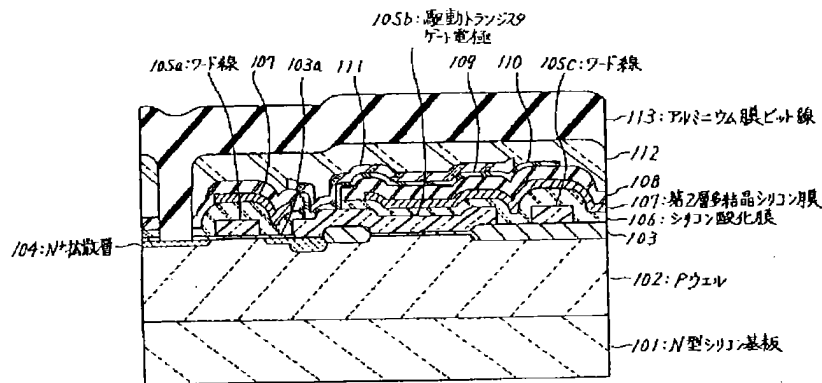
【図10】本発明の一実施例の製造工程を示す縦断面図である。

【図11】図10に示した実施例の途中工程での平面図である。

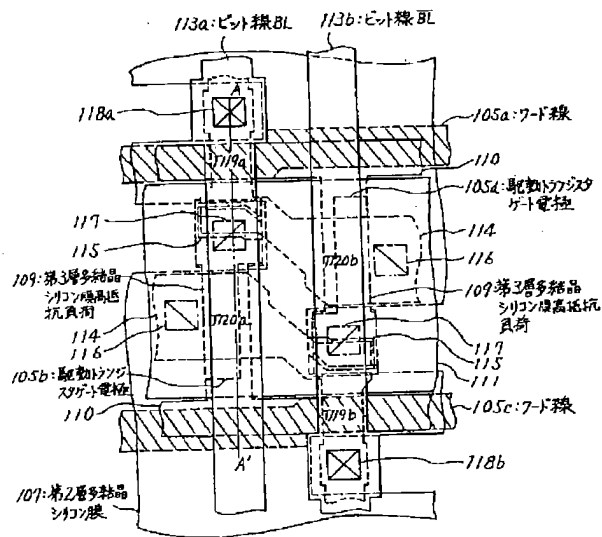
【符号の説明】

- 101 N型シリコン基板
- 102 Pウェル
- 103 素子形成領域用シリコン酸化膜
- 104 N⁺拡散層
- 104a LDD形成用N⁺拡散層
- 105a, 105c ワード線
- 105b, 105d 駆動トランジスタゲート電極
- 106 第1層間シリコン酸化膜
- 106a LDDサイドウォール形成用シリコン酸化膜
- 106b 第1層間シリコン酸化膜
- 107 第2層多結晶シリコン膜
- 108 第2層シリコン酸化膜
- 109 第3層多結晶シリコン膜高抵抗負荷
- 110 第3層多結晶シリコン膜電源配線
- 111 シリコン窒化膜
- 112 第3層間シリコン酸化膜
- 113 アルミニウム膜ビット線
- 113a ビット線BL
- 113b ビット線BL(バー)
- 114 素子形成領域
- 115 ダイレクトコンタクト孔
- 116, 117, 118a, 118b コンタクト孔
- T119a, T119b トランスファートランジスタ
- T120a, T120b 駆動トランジスタ
- 121 フォトレジスト膜

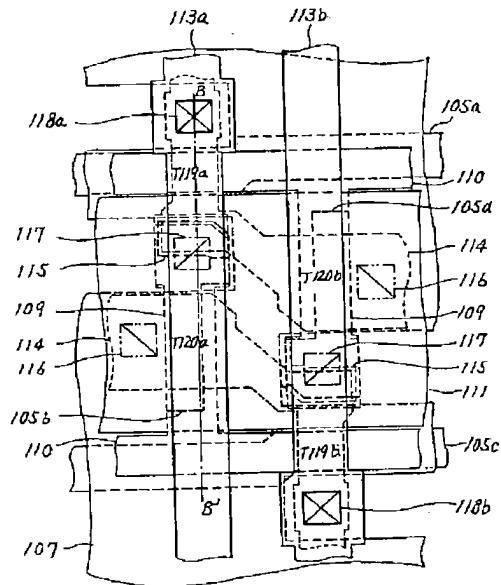
【図1】



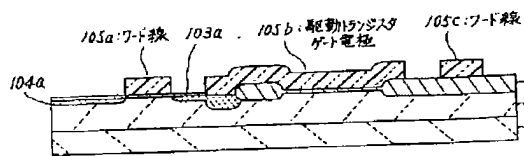
【図2】



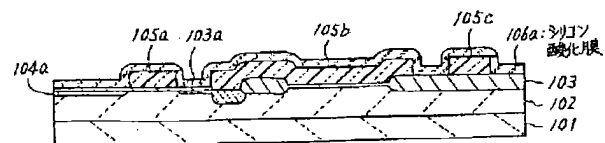
【図3】



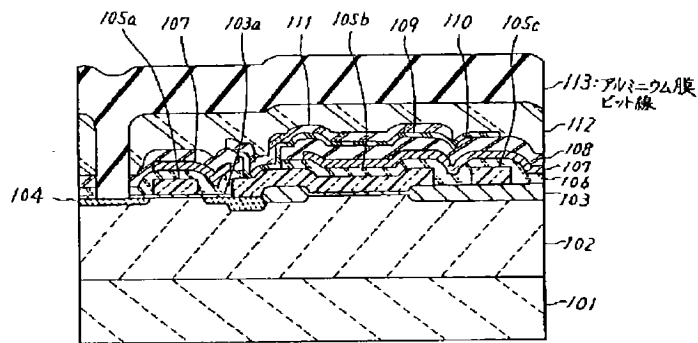
【図5】



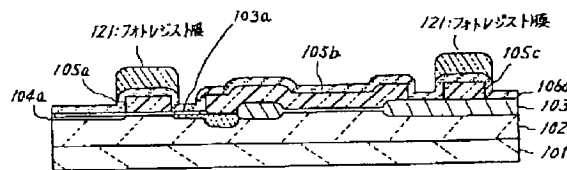
【図6】



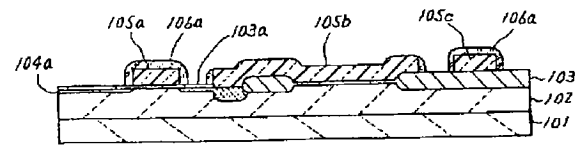
【図4】



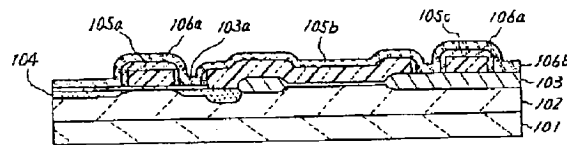
【図7】



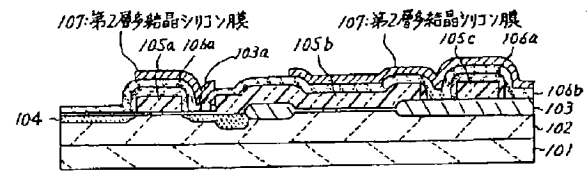
【図8】



【図9】



【図10】



【図11】

